

IESE5 - INFORMATIQUE ET ELECTRONIQUE DES SYSTEMES EMBARQUES ANNEE 5

Semestre 9

KAX9U001 - UE1 : TRONC COMMUN 3		4	Coeff
KAX9CETC	RESPONSABILITE ET CARRIERE DE L'INGENIEUR	CC	0.50
KAX9ANTC	ANGLAIS TC	CC	0.50
KAIE9U09 - UE2 : COMPLEMENTS DE FORMATION		10	Coeff
KAIE9M03	CYBERSECURITE	EXAM	0.25
KAIE9M05	ARCHITECTURE DES PROCESSEURS	CC+EXAM	0.25
KAIE9M15	APPRENTISSAGE AUTOMATIQUE	EXAM+SOUT	0.40
KAIE9M06	RELATIONS INDUSTRIELLES ET JOURNEES THEMATIQUES	CC	0.10
KAIE9M07	PREPARATION AU PROJET	QUIT	0
Option : OPTION 1 : IMAGE SIGNAL AUTOMATIQUE			
KAIE9U10 - UE3 : TRAITEMENT DU SIGNAL ET DES IMAGES		8	Coeff
KAIE9M22	VISION PAR ORDINATEUR	RENDU+CC+PROJ	0.50
KAIE9M23	TRAITEMENT DU SIGNAL AVANCE (FLO+TEMPS-FREQUENCE)	RENDU+EXAM	0.50
KAIE9U11 - UE4 : AUTOMATIQUE		8	Coeff
KAIE9M11	AUTOMATIQUE DISCRETE	RENDU+EXAM	0.50
KAIE9M24	IDENTIFICATION ET COMMANDE ROBUSTE	RENDU+EXAM	0.50
Option : OPTION 2 : CONCEPTION DE SYSTEMES COMMUNICANTS (CSC)			
KAIE9U06 - UE3 : CONCEPTION DE CIRCUITS NUMERIQUES		8	Coeff
KAIE9M16	VHDL (mis en commun Master MISTRE) + FPGA	RENDU+EXAM+PROJ+VIDEO	0.50
KAIE9M17	CONCEPTION LOGIQUE (mis en commun Master Mistre)	RENDU+EXAM	0.50
KAIE9U13 - UE4 : INTERNET DES OBJETS		8	Coeff
KAIE9M20	TEMPS REEL POUR L'EMBARQUE	RENDU+EXAM	0.50
KAIE9M21	COMMUNICATIONS IOT	PROJ+EXAM	0.50

Semestre 10

KAIEXT01 - UE1 : STAGE ANNEE 5		20	Coeff
KAIEXM01	STAGE	RAP+SOUT	1.00
KAIE XU02 - UE2 : PROJETS		10	Coeff
KAIEXM02	GESTION ET JOURNEES THEMATIQUES	RAP	0.20
KAIEXM03	PROJETS	PROJ	0.80

Glossaire des modes de contrôle :

APP: Apprentissage par projet - CC : Controle continu - EXAM : Examen - IUT : MCCC IUT - MES : Mise en Situation - NOTE : Note entreprise - ORAL : Présentation orale

PORT: Evaluation du portefeuille - PROJ: projet - QUIT : Quitus - RAP: Rapport - RENDU : Rapport ou TP - SOUT: Soutenance - VIDEO : Vidéo

KAX9CETC - RESPONSABILITE ET CARRIERE DE L'INGENIEUR

Objectifs

Se spécialiser en Economie des transitions, en Entrepreneurat ou en Management d'équipe et relationnel pour préparer son insertion professionnelle

Intended learning outcomes

Specialise in Transitional Economics, Entrepreneurship or Team and Relationship Management to prepare for professional integration

Pré-requis

Modules de tronc commun du semestre 7

Prerequisites

Transverse courses of semester 7

KAX9ANTC - ANGLAIS TC

Objectifs

Selon Option

Intended learning outcomes

According to each option

Pré-requis

Niveau B2

Connaissance du programme de 2ème année

Prerequisites

B2 Level

4th year course

test

Plan du cours

Differentes options sont proposées en anglais en Tronc Commun :

Préparation au TOEIC ou au BULATS

English for Today's World : l'anglais de l'actualité

America On Screen : étude de la société américaine à travers des films contemporains

International Business

Proficiency English : étude de la langue niveau avancé

KAIE9M03 - CYBERSECURITE

Objectifs

- Sensibiliser aux enjeux industriels et sociétaux lié à la cybersécurité.
- Identifier les principaux types de vulnérabilités logicielles et les conséquences de ces vulnérabilités.
- Connaître des techniques d'attaque élémentaires et les contre-mesures associées.
- Connaître des méthodes de détection de vulnérabilités dans son propre code.
- Connaître les bases de l'utilisation des techniques cryptographiques.
- Connaître les ressources disponibles pour la cybersécurité en entreprise.

Intended learning outcomes

- Raise awareness of industrial and social issues linked to cybersecurity.
- Identify the main types of software vulnerabilities and their consequences.
- Know elementary attack techniques and their countermeasures.
- Know how to use vulnerabilities detection methods for your own source code.
- Acquire notions of cryptography usage.
- Know available resources for cybersecurity in a business environment.

Pré-requis

- Architecture des micro-processeurs
- Programmation C et Assembleur (ARM/Intel)
- Notions de compilation du langage C
- Mathématiques : arithmétique élémentaire et calcul binaire

Prerequisites

- Microprocessor architecture
- C and Assembly language programming
- Basic knowledge of the Compiling process for the C language
- Mathematics: elementary arithmetic and binary algebra

Bibliographie

Sécurité matérielle des systèmes

Olivier Savry, Thomas Hiscock, Mustapha El Majihi

Technique et ingénierie, Dunod, mars 2019

Cybersécurité des systèmes industriels

Jean-Marie Flaus

Systèmes et génie industriel, ISTE editions, janvier 2019

Course littérature

Sécurité matérielle des systèmes

Olivier Savry, Thomas Hiscock, Mustapha El Majihi

Technique et ingénierie, Dunod, mars 2019

Cybersécurité des systèmes industriels

Jean-Marie Flaus

Systèmes et génie industriel, ISTE editions, janvier 2019

KAIE9M05 - ARCHITECTURE DES PROCESSEURS

Objectifs

Connaître les principes architecturaux des processeurs modernes (unités centrales, hiérarchie mémoire, multiprocesseurs, communications sur la puce).
Comprendre comment sont conçus et évalués les processeurs et les systèmes sur puce.

Architecture matérielle et interface matériel-logiciel

Intended learning outcomes

Understanding modern micro and multiprocessor architectures and systems, memory hierarchy, and performances.

Pré-requis

Programmation C et assembleur.

Micro-contrôleur.

Prerequisites

C and assembly languages

Basics on Microprocessor

Plan du cours

Chapitre 1 : Introduction

Chapitre 2 : Architecture Vue du Programmeur - le jeu d'instructions

Chapitre 3: Conception d'un processeur simple : partie opérative, partie contrôle

Chapitre 4: Contrôle multi-cycle d'un processeur simple

Chapitre 5: Processeur Pipeline

Chapitre 6: Performance des Architectures d'ordinateurs

Chapitre 7: Hiérarchie Mémoire

Chapitre 8: Multiprocesseurs

Chapitre 9: Synchronisation et cohérence de caches

Chapitre 10: Introduction à OpenMP

Course content

Chapter 1: Introduction

Chapter 2: Instruction Set Architecture: the programmer's view

Chapter 3: Design of a simple processor: data path part, control part

Chapter 4: Multi-cycle control part of a simple processor

Chapter 5: Pipeline processor

Chapter 6: Performance of computer architectures

Chapter 7: Memory Hierarchy

Chapter 8: Multiprocessors

Chapter 9: Synchronization and cache consistency

Chapter 10: Introduction to OpenMP

Bibliographie

Computer Organization and Design: The Hardware/Software Interface, Patterson and Hennessy (il existe une traduction en français, chez Dunod)

Computer Architecture: a Quantitative Approach, Patterson and Hennessy, Quatrième Edition

Notes de cours de Berkeley, MIT, etc...

Traduction de transparents de Bob Brodersen et Randy Katz

•Articles de revues et de conférences

•White papers

Course littérature

Hennessy and Patterson, Computer Architecture, A quantitative approach, 4th or 6th edition

KAIE9M15 - APPRENTISSAGE AUTOMATIQUE

Objectifs

Découvrir les algorithmes d'apprentissage automatique et être capables les mettre en oeuvre à bon escient sur des problèmes concrets.

Intended learning outcomes

Discover automatic learning algorithms and be able to implement them effectively on concrete problems.

Pré-requis

Probabilités, statistiques, algèbre linéaire

Plan du cours

Chapitre 1 :

- L'apprentissage bayésien (apprentissage par estimation de densités de probabilités) : classifieurs linéaires ou quadratiques, noyaux de Parzen, kppV, ?

- Evaluation d'un système de décision, Comparaison de performances des algorithmes

- Le choix de l'espace de représentation

Chapitre 2 : L'apprentissage par calcul direct des frontières (apprentissage par optimisation) : réseaux de neurones, SVM,, introduction au deep learning (CNN)

Chapitre 3 : Les arbres de décisions (apprentissage par combinaison de décisions) : induction d'arbres de décision (C4.5, CART ?), random forest

Chapitre 4 : La classification non supervisée (apprentissage par similarité) : CAH, k-means, GMM

Course content

Chapter 1 :

- Bayesian learning (learning by estimating probability densities): linear or quadratic classifiers, kppV,...
- Evaluation of a decision system, Comparison of algorithm performance
- The choice of the representation space

Chapter 2: Learning by direct border calculation (learning by optimization): neural networks, SVM, introduction to deep learning (CNN)

Chapter 3: Decision trees (learning by combining decisions): induction of decision trees (C4.5, CART...), random forest

Chapter 4: Unsupervised classification (learning by similarity): CAH, k-means, GMM

Bibliographie

Statistical pattern recognition K. Fukunaga, Academic Press

Decision, estimation and classification ? An introduction to pattern recognition and related topics, C. Therrien, Wiley

Diagnostic et reconnaissance de formes, B. Dubuisson, Hermes

Kernel methods for pattern analysis, J. Shawe-Taylor, N. Cristianini, Cambridge university press

An introduction to support vector machines and other kernel-based learning methods, N. Cristianini, J. Shawe-Taylor, Cambridge university press

Réseaux neuronaux, JP; Bernard, Vuibert

Graphes d'induction, Apprentissage et data-mining, D. Zighed et R. Rakotomalala, Hermes

Learning and soft computing, V. Kecman, MIT Press

Apprentissage artificiel, concepts et algorithmes, A. Cornuejols, L. Miclet, Eyrolles

Apprentissage artificiel: Deep learning, concepts et algorithmes Vincent Barra , Laurent Miclet; A. Cornuejols, L. Miclet, Eyrolles

Bases théoriques pour l'apprentissage et la reconnaissance des formes, A. de Beauville, F.Z. Kettaf, Cépadués

KAIE9M06 - RELATIONS INDUSTRIELLES ET JOURNEES THEMATIQUES

Objectifs

Les journées thématiques permettent aux étudiants d'acquérir une connaissance des différentes facettes du métier d'ingénieurs.

Nous invitons à cette occasion différents industriels pour présenter leur entreprise, ce qui est attendu d'un ingénieur ainsi que son évolution dans l'entreprise.

C'est aussi l'occasion de mettre en contact les étudiants pour la recherche de stage.

Chaque année une visite sur un site de production est programmée (ST, Schneider, Conduent, Asystem, ?.)

Intended learning outcomes

Thematic days allow students to acquire a knowledge of the different facets of the engineering profession.

We invite on this occasion various industrialists to present their company, what is expected of an engineer as well as its evolution in the company.

It is also an opportunity to put students in contact for internship research.

Each year a visit to a production site is scheduled (ST, Schneider, Conduent, Asystem,)

KAIE9M07 - PREPARATION AU PROJET

Objectifs

Cette matière est lié aux projets qui ont lieu au semestre 10 et consiste en une étape de préparation pratique et administrative avec une présentation des projets aux étudiants avec première prise de contact avec le porteur de projet.

Pré-requis

Les différents outils de gestions de projets, savoir identifier et répartir des tâches, mettre au point un planning

Plan du cours

Présentation et choix des projets

Prise de contact

Identification et répartition des tâches au sein du groupe

Planning prévisionnel de progression du projet sur le semestre 10

KAIE9M22 - VISION PAR ORDINATEUR

Bibliographie

-

KAIE9M23 - TRAITEMENT DU SIGNAL AVANCE (FLO+TEMPS-FREQUENCE)

Bibliographie

-

KAIE9M11 - AUTOMATIQUE DISCRETE

Objectifs

L'objectif principal des TP est de fixer par la pratique, les principales notions de modélisation et de commande d'atelier industriels moderne.

Ceci passe inévitablement non seulement par l'étude et l'implantation des programmes de contrôle/commande et de supervision pour la conduite de systèmes automatisés mais aussi par l'étude des modèles géométriques, cinématiques et dynamiques des robots manipulateurs ainsi que les méthodes de génération de trajectoires.

L'enseignement vise à :

- * Approfondir les connaissances contrôle-commande industriel par une mise en situation des apprenants sur une plateforme d'automatismes industriels.
- * Appréhender les fonctions fondamentales de la supervision industrielle avec une mise en œuvre concrète sur un atelier automatisé.
- * Comprendre l'impact de la supervision sur la conduite de la production, prévisions et anticipations des risques.
- * Acquérir les bases sur la robotique industrielle avec une implémentation directe des connaissances acquises sur un atelier robotisé.

Des notions de génération et traitement des alarmes, l'évitement d'obstacles ou de la commande d'un bras manipulateur sont traitées dans l'objectif de donner libre cours aux réflexions et aux initiatives propres à chaque binôme.

Intended learning outcomes

The main objective of the TP is to fix by practice, the main notions of modeling and control of modern industrial workshop.

This inevitably entails not only the study and implementation of control / command and supervision programs for driving automated systems, but also the study of geometric, kinematic and dynamic models of manipulator robots as well as generation methods. of trajectories.

The teaching aims to:

- * To deepen the industrial control-command knowledge by a situation of the learners on a platform of industrial automatism.
- * Understand the fundamental functions of industrial supervision with a concrete implementation on an automated workshop.
- * Understand the impact of supervision on the conduct of production, forecasts and risk expectations.
- * Acquire the basics of industrial robotics with a direct implementation of the knowledge acquired on a robotic workshop.

Concepts of generation and treatment of alarms, the avoidance of obstacles or the control of a manipulator arm are treated in order to give free rein to the reflections and initiatives specific to each pair.

Pré-requis

Grafcet - commande Numérique

Prerequisites

Grafcet - Numeric control

Plan du cours

I- COMMANDE D'ATELIER

- Modélisation d'atelier
- Gestion des Modes de Marches et d'Arrêt,
- Mise en oeuvre d'un superviseur, traitement des tâches de production et traitement de l'arrêt d'urgence
- Saisie des Grafcet et schémas contacts sur UNITY (Automate Schneider TSX Premium)
- Chargement des programmes, tests, correction et exécution.

II- ROBOTIQUE (Robot 6 axes, Stäubli TX60)

- Commande de robot par apprentissage
- Modélisation et génération de trajectoires pour robots 6 axes
- Génération de mouvements avec passage de points et évitement d'obstacles
- Création et test d'applications à partir de l'émulateur
- Création et apprentissage de points
- Ecriture d'un programme en langage VAL3

III- SUPERVISION :

- Utilisation du logiciel de supervision PCVue et Automate TSX premium
- Dialogue avec les automates/équipements en local et à distance,
- Traitement, mise en forme des données de supervision
- Enregistrements des événements et mesures (fonction « boîte noire »)
- Poste de conduite locale et déportée
- Construction de synoptiques graphiques
- Traitement des alarmes et des défauts
- Construction de cartes de contrôle et de suivi de processus

Course content

I- WORKSHOP COMMAND

- Workshop modeling
- Management of the Modes of Marche and Stop,
- Implementation of a supervisor, processing of production tasks and treatment of the emergency stop
- Grafcet input and contact diagrams on UNITY (Schneider TSX Premium PLC)
- Loading programs, tests, correction and execution.

II- ROBOTIC (6 axis robot, Stäubli TX60)

- Robot control by learning
- Modeling and trajectory generation for 6-axis robots
- Generation of movements with passing of points and avoidance of obstacles
- Creating and testing applications from the emulator
- Creating and learning points
- Writing a program in VAL3 language

III- SUPERVISION:

Using PCVue Supervisory Software and TSX Premium Automaton

- Dialogue with PLCs / equipment locally and remotely,
- Processing, formatting of supervision data
- Event and measurement recordings ("black box" function)
- Local and remote driving station
- Construction of graphic synoptics
- Treatment of alarms and faults
- Construction of control charts and process monitoring

Bibliographie

Introduction to Discrete Event Systems

- Christos G. Cassandras , Stephane Lafortune

- Discrete Event Systems: Modeling and Performance Analysis, Irwin Publ., 1993

- R. DAVID, H. ALLA, Du Grafset aux Réseaux de Petri, Deuxième édition revue et augmentée, Traité des nouvelles technologies, série Automatique, Editions Hermès, Paris, novembre 1992.

- Ensemble de documents techniques liés au matériel et logiciel utilisés dans l'AIP.

Course literature

R. DAVID, H. ALLA, From Grafset to Petri Networks, Second revised and expanded edition, Traité des nouvelles technologies, Automatique series, Editions Hermès, Paris, November 1992.

- Set of technical documents related to hardware and software used in the AIP.

KAIE9M24 - IDENTIFICATION ET COMMANDE ROBUSTE

Bibliographie

-

KAIE9M16 - VHDL (mis en commun Master MISTRE) + FPGA

Objectifs

Ce cours présente le langage de description de matériel VHDL. Il donne aux étudiants les outils pour appréhender les multiples possibilités offertes par le langage.

À l'issue de cet enseignement, l'étudiant sera capable de :

- Modéliser des systèmes électroniques avec VHDL
- Connaître la synthèse et le jeu d'instructions utilisées en synthèse logique
- Vérifier la théorie par la pratique sur des exemples concrets (simulation)

Pré-requis

- Notions sur les systèmes électroniques
- Notions de programmation
- Connaissance des bases de l'algèbre de Boole
- Notions de circuits combinatoires et séquentiels

Plan du cours

1. Généralités sur la modélisation et la simulation des systèmes électroniques
2. Généralités sur le langage VHDL
3. Organisation d'un modèle et types de données
4. Styles de description en VHDL : flot de données et structurel
5. Instructions en VHDL : concurrentes et séquentielles
6. Circuits séquentiels et combinatoires
7. Aspects avancés : paquetage, sous-programme, généricité, fonctions de conversion

Bibliographie

- "1076-2008 - IEEE Standard VHDL Language Reference Manual" par IEEE

- "VHDL - langage, modélisation, synthèse" 2ème édition, par Roland Airiau, Jean-Michel Bergé, Vincent Olive et Jacques Rouillard

- "The Designer's Guide to VHDL" 3rd Edition, par Peter J. Ashenden et Jim Lewis

- "VHDL : Programming by Example" 4th Edition, par Douglas L. Perry

Course literature

- "1076-2008 - IEEE Standard VHDL Language Reference Manual" by IEEE

- "VHDL - langage, modelisation, synthese" 2nd edition, by Roland Airiau, Jean-Michel Berge, Vincent Olive et Jacques Rouillard

- "The Designer's Guide to VHDL" 3rd Edition, by Peter J. Ashenden et Jim Lewis

- "VHDL: Programming by Example" 4th Edition, by Douglas L. Perry

KAIE9M17 - CONCEPTION LOGIQUE (mis en commun Master Mistre)

Objectifs

1ère partie (CL1) : L'objectif de cette première partie de cours, outre son aspect introductif à la conception de circuits numériques, est de comprendre, optimiser et concevoir, à partir du fonctionnement du transistor MOS, les éléments logiques de base.

2ième partie (CL2) : L'objectif de la deuxième partie de cours est de concevoir des systèmes plus gros à partir des éléments de base vue dans la première partie. Les méthodes et algorithmes de base des outils

de synthèse automatique sont présentés

Savoir concevoir des circuits numériques étant donnés une spécification de fonctionnalité et un ensemble de composants de base

Intended learning outcomes

First part (CL1): digital system design based on MOS transistors, basic cells

Second part (CL2): Method and tools used in system design, base of the Computer-Aided-Design tools (logic synthesis, High level synthesis, Data-path-FSM architecture)

Pré-requis

Cours d'électronique numérique et analogique de base - fonctionnement des transistors - fonctions électroniques

Prerequisites

Basics in digital and analog electronics, basics in diodes and transistors

Plan du cours

CL1 :

Le transistor CMOS

L'inverseur

Les fonctions logiques de base

Optimisations des portes logiques

CL2 :

Rappel d'algèbre de bool

Optimisation et factorisation des fonctions logiques (algorithme de Quine - Mc Kluskey)

Architecture des FPGA

Synthèse logique

Décomposition d'un

circuit en PC-PO

Synthèse de la PC

Synthèse d'architecture

Course content

CL1 :

The CMOS transistor

CMOS inverter

Basic CMOS gates

Optimizations of CMOS gates

CL2 :

Bool functions and basics

Optimization et factorization of boolean functions (Quine - Mc Kluskey method)

FPGA architecture

Logic synthesis

Data-path and control parts of a chip

Control part synthesis

High level synthesis

Bibliographie

The Synthesis Approach to Digital System Design

P. Michel, U. Lauther, P. Duzy (éditeurs), Kluwer Academic Publishers, 1992

ISBN : 0-7923-9199-3

Behavioral Synthesis and Component Reuse with VHDL

A. A. Jerraya, H. Ding, P. Kission, M. Rahmouni, Kluwer Academic Publishers, 1997

ISBN : 0-7923-9827-0

Conception Logique et Physique des Systèmes Monopuces

Sous la direction de A. Jerraya, Hermes, 2002 (in French)

ISBN : 2-7462-0434-7

Conception de Haut Niveau des Systèmes Monopuces

Sous la direction de A. Jerraya, Hermes, 2002 (in French)

ISBN : 2-7462-0433-9

Algorithms for VLSI Design Automation

S. Gerez, Wiley, 1999

ISBN : 0-471-98489-2

Architectures Logicielles et Matérielles

P. Amblard, J.C. Fernandez, F. Lagnier, F. Maraninchi, P. Sicard, P. Waille, Dunod, 2000 (in French)

ISBN : 2-10-004893-7

Course literature

The Synthesis Approach to Digital System Design

P. Michel, U. Lauther, P. Duzy (Ã©diteurs), Kluwer Academic Publishers, 1992

ISBN : 0-7923-9199-3

Behavioral Synthesis and Component Reuse with VHDL

A. A. Jerraya, H. Ding, P. Kission, M. Rahmouni, Kluwer Academic Publishers, 1997

ISBN : 0-7923-9827-0

Algorithms for VLSI Design Automation

S. Gerez, Wiley, 1999

ISBN : 0-471-98489-2

KAIE9M20 - TEMPS REEL POUR L'EMBARQUE

Bibliographie

-

KAIE9M21 - COMMUNICATIONS IOT

Bibliographie

-

KAIEXM01 - STAGE

Objectifs

Stage de fin d'études pour une deuxième insertion des étudiants dans le monde industriel, d'une période de 22 semaines, dans un des domaines de leur compétences: informatique industrielle, capteurs, conception de systèmes intégrés, programmation en C, systèmes temps-réel, traitement du signal et de l'image, identification de systèmes, systèmes électroniques, systèmes numériques par ordinateur, calcul scientifique. Le stage peut avoir lieu en France ou à l'étranger, dans une société industrielle ou dans un laboratoire de recherche.

Intended learning outcomes

Diploma training period, a second industrial experience for the students, with a duration of 22 weeks, in one of their competence domain: industrial computing and software, sensors, C programming, signal and image processing, real-time systems, digital feedback control, system identification, electronic system design, scientific computing.

The training period can be realized in France or abroad, in an industrial society or in a research laboratory.

Course content

Diploma training period, a second industrial experience for the students, with a duration of 22 weeks, in one of their competence domain: industrial computing and software, sensors, C programming, signal and image processing, real-time systems, digital feedback control, system identification, electronic system design, scientific computing.

The training period can be realized in France or abroad, in an industrial society or in a research laboratory.

KAIEXM02 - GESTION ET JOURNEES THEMATIQUES

Objectifs

Le module de gestion est constitué par des séances d'accompagnement des étudiants dans leurs projets de fin d'études.

Les compétences visées sont :

- développer sa créativité, individuellement ou en groupe, dans le cadre de la résolution de problèmes
- construire les budgets des projets
- analyser et gérer les relations humaines au sein du groupe projet

Intended learning outcomes

Accompanying students in their study projects.

Develop your creativity, individually or in groups, in the context of problem solving

Build project budgets

Analyse and manage human relationship

Pré-requis

Gestion tronc commun S6

Gestion de projet S7

Plan du cours

Créativité et résolution de problèmes

Prévision des coûts et construction des budgets

Relations humaines dans un groupe projet

Course content

Creativity and problem solving

Costs forecasting and drawing up budgets

Human relationships in a project group

Bibliographie

"Une fourmi de 18 mètres... ça n'existe pas" Ivan Gavriloff et Bruno Jarrosson, Dunod 3ème édition

KAIEXM03 - PROJETS

Objectifs

Le projet de fin d'étude a pour objectif de laisser le temps aux étudiants de travailler, de développer, et de démontrer leur savoir faire sur un projet important en groupe.

Pré-requis

L'ensemble des compétences, savoir faire et savoir être acquis au cours des dernières années.

Plan du cours

Un semestre dédié aux projets avec un suivi par des enseignants de Polytech Grenoble.